

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-195856 /

(P2000-195856A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>*</sup> (参考)
H 0 1 L 21/316		H 0 1 L 21/316	M
21/318		21/318	C
29/78		29/78	3 0 1 G

審査請求 未請求 請求項の数14 O L (全 4 頁)

(21)出願番号	特願平11-322122	(71)出願人	591024111 現代電子産業株式会社 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(22)出願日	平成11年11月12日(1999. 11. 12)	(72)発明者	周 文 植 大韓民国 京畿道 利川市 大月面 牙美里 441-1 現代アパート 111-604
(31)優先権主張番号	1 9 9 8 / P 6 1 8 6 8	(74)代理人	100093399 弁理士 瀬谷 徹 (外1名)
(32)優先日	平成10年12月30日(1998. 12. 30)		
(33)優先権主張国	韓国 (K R)		

(54)【発明の名称】 半導体素子のゲート酸化膜形成方法

(57)【要約】

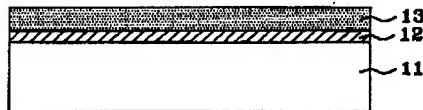
【課題】 本発明は、40 Å以下の有効ゲート酸化膜厚を確保しながら、低リーク電流及び高信頼性のゲート酸化膜が得られる半導体素子のゲート酸化膜形成方法を提供する。

【解決手段】 半導体基板11上に底部酸化膜としてN O-オキシナイトライド膜12を形成し、N O-オキシナイトライド膜上に中間酸化膜としてタンタル酸化膜13を形成し、次に、タンタル酸化膜上に上部酸化膜としてT E O S膜14を形成し、基板をN<sub>2</sub>O雰囲気中で熱処理する。

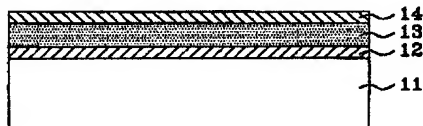
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項 1】 底部酸化膜/中間酸化膜/上部酸化膜の積層構造からなる半導体素子のゲート酸化膜形成方法において、

半導体基板上に前記底部酸化膜としてNOガスによるオキシナイトライド膜を形成する段階と、

前記NO-オキシナイトライド膜上に前記中間酸化膜としてタンタル酸化膜を形成する段階と、

前記タンタル酸化膜上に前記上部酸化膜を形成する段階と、

前記基板をN<sub>2</sub>O雰囲気中で熱処理する段階とを含むことを特徴とする半導体素子のゲート酸化膜形成方法。

【請求項 2】 前記NO-オキシナイトライド膜は5乃至20Åの膜厚で形成されることを特徴とする請求項1記載の半導体素子のゲート酸化膜形成方法。

【請求項 3】 前記NO-オキシナイトライド膜はNOガス雰囲気中で炉またはラピッドサーマル処理により形成されることを特徴とする請求項2記載の半導体素子のゲート酸化膜形成方法。

【請求項 4】 前記炉またはラピッドサーマル処理は、800乃至850℃で、減圧または昇圧で進行されることを特徴とする請求項3記載の半導体素子のゲート酸化膜形成方法。

【請求項 5】 前記NOガスのフロー速度は5乃至20リットルであることを特徴とする請求項4記載の半導体素子のゲート酸化膜形成方法。

【請求項 6】 前記タンタル酸化膜は30乃至150Åの膜厚で形成されることを特徴とする請求項1記載の半導体素子のゲート酸化膜形成方法。

【請求項 7】 前記タンタル酸化膜の有効酸化膜厚は5乃至20Åであることを特徴とする請求項6記載の半導体素子のゲート酸化膜形成方法。

【請求項 8】 前記タンタル酸化膜はLPCVDまたはMOCVDで形成されることを特徴とする請求項6記載の半導体素子のゲート酸化膜形成方法。

【請求項 9】 前記上部酸化膜は10乃至20Åの膜厚で形成されることを特徴とする請求項1記載の半導体素子のゲート酸化膜形成方法。

【請求項 10】 前記上部酸化膜はTEOS膜で形成されることを特徴とする請求項9記載の半導体素子のゲート酸化膜形成方法。

【請求項 11】 前記上部酸化膜はHTO膜で形成されることを特徴とする請求項9記載の半導体素子のゲート酸化膜形成方法。

【請求項 12】 前記熱処理は炉またはラピッドサーマル処理で進行されることを特徴とする請求項1記載の半導体素子のゲート酸化膜形成方法。

【請求項 13】 前記炉またはラピッドサーマル処理は、800乃至850℃で、減圧または昇圧で進行されることを特徴とする請求項12記載の半導体素子のゲ

ト酸化膜形成方法。

【請求項 14】 前記N<sub>2</sub>Oのガスフロー速度は5乃至20リットルであることを特徴とする請求項13記載の半導体素子のゲート酸化膜形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に関し、特に半導体素子のゲート酸化膜形成方法に関する。

10 【0002】

【従来の技術】近年、半導体素子の高集積化、高速化、低電圧化及び低電力化に伴い、ゲート酸化膜厚が薄くなっている。一般に、ゲート酸化膜は、熱酸化工程によって、約3.85程度の誘電常数を持つシリコン酸化膜(SiO<sub>2</sub>)で形成される。しかし、この場合、厚さが低減されるにつれてダイレクトトンネリング効果(direct tunneling effect)を引き起こすことで、リーク電流が増加するという問題がある。

20 【0003】これを解決するために、ゲート酸化膜をシリコン酸化膜とシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)の積層膜で形成する方法が提案された。しかし、シリコン窒化膜の誘電常数が約7.0であるため、高信頼性及び低リーク電流の特性が得られる40Å以下の有効ゲート酸化膜厚は得にくい。

【0004】したがって、シリコン窒化膜よりも高い約25の誘電常数を持つタンタル酸化膜(Ta<sub>2</sub>O<sub>5</sub>)を用いて、底部酸化膜/タンタル酸化膜/上部酸化膜の積層膜でゲート酸化膜を形成する方法が提案された。このゲート酸化膜は、底部酸化膜を熱酸化方式にて5乃至20Åの膜厚でシリコン酸化膜で形成し、その上部にタンタル酸化膜を30乃至100Åの膜厚で形成した後、上部酸化膜を10乃至20Åの膜厚でTEOS膜で形成した後、O<sub>2</sub>雰囲気中で熱処理することで形成される。この場合、実際のゲート酸化膜厚(physical gate oxide thickness)は45乃至140Åであるが、タンタル酸化膜の高い誘電常数により有効ゲート酸化膜厚は40Å以下となる。

【0005】

40 【発明が解決しようとする課題】しかしながら、上述の如く、底部酸化膜を薄く形成する場合、その厚さの均一度(uniformity)及び信頼性が劣化するため、その上部に形成されるタンタル酸化膜のリーク電流に対するバリア特性が低下するだけでなく、次の熱工程に対する耐酸化特性も低下する。

【0006】本発明は、上記事情を考慮してなされたもので、その目的とするところは、40Å以下の有効ゲート酸化膜厚を確保しながら、低リーク電流及び高信頼性のゲート酸化膜が得られる半導体素子のゲート酸化膜形成方法を提供することにある。

50 【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体素子のゲート酸化膜形成方法は、底部酸化膜/中間酸化膜/上部酸化膜の積層構造からなる半導体素子のゲート酸化膜形成方法において、半導体基板上に底部酸化膜としてNOガスによるオキシナイトライド膜(NO-oxynitride layer)を形成し、このNO-オキシナイトライド膜上に前記中間酸化膜としてタンタル酸化膜を形成し、その後、タンタル酸化膜上に上部酸化膜を形成し、基板をN<sub>2</sub>O雰囲気中で熱処理する。

【0008】具体的には、NO-オキシナイトライド膜は5乃至20Åの膜厚で、NOガス雰囲気中で炉(furnace)またはラピッドサーマル処理(rapid thermal processing; 以下、RTPという)により形成される。望ましくは、炉またはRTPは、800乃至850℃で、減圧または昇圧で進行され、NOガスのフロー速度(flow rate)は5乃至20リットルである。

【0009】また、タンタル酸化膜は30乃至150Åの膜厚でLPCVD(low pressure chemical vapor deposition; 低圧化学気相蒸着)またはMOCVD(metal organic CVD; 金属有機CVD)で形成され、その有効酸化膜厚は5乃至20Åとなる。さらに、上部酸化膜はTEOS膜またはHTO膜(high temperature oxide layer; 高温酸化膜)で10乃至20Åの膜厚で形成される。

【0010】また、熱処理は炉またはRTPで、800乃至850℃で、減圧または昇圧で進行され、N<sub>2</sub>Oのガスフロー速度は5乃至20リットルである。

【0011】

【発明の実施の形態】以下、添付図面に基づき、本発明の好適実施態様を詳細に説明する。図1(a)、

(b)、(c)は本発明の実施態様による半導体素子のゲート酸化膜形成方法を説明するための断面図である。

【0012】図1(a)を参照すると、シリコンからなる半導体基板11上に素子分離膜(不図示)を形成した後、HFを用いて洗浄工程を行って基板表面の自然酸化膜(不図示)を除去する。次に、基板11上に底部酸化膜としてNOガスによるオキシナイトライド膜12を5乃至20Åの膜厚で形成する。望ましくは、NO-オキシナイトライド膜12はNOガス雰囲気中で炉またはRTPによって、800乃至850℃で減圧または昇圧で進行して形成する。ここで、NOガスのフロー速度は5乃至20リットルである。ここで、NO-オキシナイトライド膜12は成長速度が低いため、従来の熱酸化によるシリコン酸化膜よりも厚さの均一度が優れ、800乃至850℃の比較的低温で形成されるため、熱的予算(thermal budget)が減少する。また、窒素により次の熱工程で基板の酸化を抑制して有効酸化膜の成長を防止するだけでなく、ホットキャリアに対する耐性を増加させること

で、リーク電流に対するバリア特性が向上される。

【0013】図1(b)を参照すると、NO-オキシナイトライド膜12上にLPCVD(低圧化学気相蒸着)またはMOCVD(金属有機CVD)によって、中間酸化膜としてタンタル酸化膜(Ta<sub>2</sub>O<sub>5</sub>)13を30乃至150Åの膜厚で形成する。ここで、タンタル酸化膜13はシリコン酸化膜に比べて約6.5倍の誘電常数を持つため、有効酸化膜厚は約5乃至20Å程度となる。

【0014】図1(c)を参照すると、タンタル酸化膜13上にCVDによって、上部酸化膜としてTEOS膜14を10乃至20Åの膜厚で形成する。次に、従来のO<sub>2</sub>雰囲気の代わりにN<sub>2</sub>O雰囲気中で、炉またはRTPで、800乃至850℃で減圧または昇圧で熱処理を行う。ここで、N<sub>2</sub>Oガスのフロー速度(flow rate)は5乃至20リットルである。

【0015】これに伴い、TEOS膜14を窒化させて次工程により引き起こされるホウ素浸透を防止することで、しきい値電圧(V<sub>th</sub>)が安定する。また、タンタル酸化膜13の酸素欠乏(oxygen vacancy)が減少されることで、リーク電流に対するバリア特性が向上される。また、熱処理を800乃至850℃の比較的低温で進行するため、熱的予算(thermal budget)が減少する。

【0016】一方、前記TEOS膜14の代りに、上部酸化膜をHTO膜(高温酸化膜)で形成することができる。

【0017】尚、本発明は、上記した実施の形態に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更・実施することが可能である。

【0018】

【発明の効果】本発明によれば、ゲート酸化膜をNO-オキシナイトライド/タンタル酸化膜/TEOS膜の積層膜で形成した後、N<sub>2</sub>O雰囲気中で熱処理を進行して形成することで、40Å以下の有効ゲート酸化膜厚を確保しながら、低リーク電流及び高信頼性のゲート酸化膜が得られるので、素子の特性が向上する。

【図面の簡単な説明】

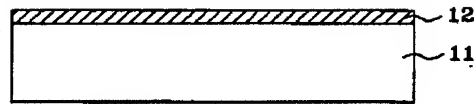
【図1】本発明の半導体素子のゲート酸化膜形成方法の実施態様を説明するための断面図であり、(a)は半導体基板上にNO-オキシナイトライド膜を形成する工程、(b)はNO-オキシナイトライド膜上にタンタル酸化膜を形成する工程、(c)はタンタル酸化膜上にTEOS膜を形成する工程である。

【符号の説明】

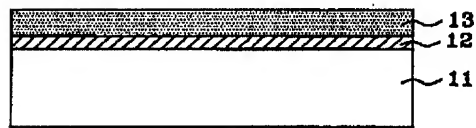
- 11 半導体基板
- 12 NO-オキシナイトライド膜
- 13 タンタル酸化膜
- 14 TEOS膜

【図1】

(a)



(b)



(c)

